

Herramienta basada en optimización para reducir la temperatura superficial en circuitos electrónicos con transistores BJT y MOSFETs en escenarios peligrosos



Optimization-based tool to reduce the surface temperature in electronic circuits with transistors BJT and MOSFETs in dangerous scenarios

Collado V., Edwin O.; Delgado, Jaime; Bernal, Nieves; Cárdenas, Dorindo; Sáez, Yessica

Edwin O. Collado V.

Universidad Tecnológica de Panamá, Panamá

Jaime Delgado

Universidad Tecnológica de Panamá, Panamá

Nieves Bernal

Universidad Tecnológica de Panamá, Panamá

Dorindo Cárdenas

Universidad Tecnológica de Panamá,, Panamá

Yessica Sáez

yessica.saez@utp.ac.pa.

Universidad Tecnológica de Panamá,, Panamá

Revista de I+D Tecnológico

Universidad Tecnológica de Panamá, Panamá

ISSN: 1680-8894

ISSN-e: 2219-6714

Periodicidad: Semestral

vol. 19, núm. 2, 2023

orlando.aguilar@utp.ac.pa

Recepción: 07 Mayo 2023

Corregido: 10 Julio 2023

Aprobación: 11 Julio 2023

URL: <http://portal.amelica.org/ameli/journal/339/3394675008/>



Esta obra está bajo una [Licencia Creative Commons Atribución-NoComercial-CompartirIgual 4.0 Internacional](https://creativecommons.org/licenses/by-nc-sa/4.0/).

Resumen: El uso inadecuado de equipos electrónicos en áreas con alto riesgo de explosión es una de las principales causas de muertes y daños materiales en la industria. El objetivo de este trabajo es establecer un punto de operación óptimo que mejore el desempeño de circuitos electrónicos utilizando transistores de tecnología BJT o MOSFET que alimentan una carga en escenarios peligrosos. Para ello se aplica optimización convexa no lineal a la caracterización del comportamiento térmico de MOSFETs y BJTs en aplicaciones con alto riesgo de explosión. En este problema se utiliza como variable de decisión la corriente en el transistor y la temperatura límite en la superficie de los elementos eléctricos que genera la autoignición de gases, polvos, fibras combustibles u otros productos altamente inflamables almacenados en recintos clasificados como peligrosos. Esta variable de control permite trabajar en diferentes categorías de temperatura, considerando la clasificación de los niveles de riesgo térmico estandarizados por la industria de seguridad contra incendios. Además, se consideraron transistores que mantienen como restricción máxima la corriente nominal dada por el fabricante. Con esto es posible obtener un punto de trabajo adecuado que permita determinar los valores óptimos de las ecuaciones de comportamiento térmico para modelos específicos de MOSFETs y BJTs comúnmente utilizados en aplicaciones industriales. En el análisis matemático se utiliza el método Karush Kuhn Tucker (KKT) para resolver el problema propuesto y obtener las soluciones óptimas para los diferentes escenarios considerados. Con base en estas soluciones matemáticas, se propone un algoritmo para resolver el problema general de minimizar la temperatura superficial en transistores de manera rápida y eficiente mediante el control de la corriente en los transistores. Con este análisis de optimización es posible determinar un punto de operación térmica segura para el dispositivo que se encuentra operando en una instalación clasificada como peligrosa y al mismo tiempo manteniendo los niveles de tensión y corriente requeridos para la carga o señal que se necesita alimentar. o amplificado respectivamente.

Palabras clave: Karush Kuhn Tucker (KKT), optimización convexa, polarización fija, temperatura, transistor BJT, transistor MOSFET.

Abstract: Improper use of electronic equipment in areas with a high risk of explosion is one of the main causes of deaths and property damages in the industry. The objective of this work is to establish an optimal operating point that improves the performance of electronic circuits using BJT or MOSFET technology transistors that feed a load in dangerous scenarios. For this, non-linear convex optimization is applied to the characterization of the thermal behavior of MOSFETs and BJTs in applications with a high risk of explosion. In this problem, the current in the transistor is used as a decision variable and the limit temperature on the surface of the electrical elements that generates autoignition of gases, dusts, combustible fibers, or other highly flammable products stored in classified enclosures as dangerous. This control variable allows working in different temperature categories, considering the classification of thermal risk levels standardized by the fire safety industry. In addition, transistors that keep the nominal current given by the manufacturer as the maximum restriction were considered. With this, it is possible to obtain an adequate working point that allows determining the optimal values of the thermal behavior equations for specific models of MOSFETs and BJTs commonly used in industrial applications. In the mathematical analysis, the Karush Kuhn Tucker (KKT) method is used to solve the proposed problem and obtain the optimal solutions for the different scenarios considered. Based on these mathematical solutions, an algorithm is proposed to solve the general problem of minimizing the surface temperature quickly and efficiently in transistors by controlling the current in the transistors. With this optimization analysis, it is possible to determine a safe thermal operating point for the device that is operating in an installation classified as hazardous and at the same time maintaining the required levels of voltage and current for the load or signal that needs to be fed or amplified respectively.

Keywords: Karush Kuhn Tucker (KKT), convex optimization, fixed polarization, temperature, BJT transistor, MOSFET transistor.

1. INTRODUCCIÓN

Los equipos industriales son cada vez más dependientes de la electrónica de potencia y sistemas de control electrónico automático, ya que el diseño de estos arreglos les permite ser más precisas, sensibles y exactas en el servicio que brindan. Sin embargo, esto puede ser un problema dentro de entornos considerados con riesgo de explosión porque pueden producir explosiones debido al tipo de materia prima con el que interactúan. En este tipo de entornos, la temperatura en los componentes electrónicos es una de las variables más importantes a tomar en consideración debido a que en un orden de magnitud dado puede convertirse en la fuente de ignición que cierra y activa el triángulo de fuego que provoca la explosión [1], pues para una instalación o depósito de alto riesgo el combustible y el comburente son dos elementos regularmente presentes. Adicional, en las regulaciones internacionales como la norma Appareils destinés à être utilisés en Atmosphères Explosives (ATEX), se indica que para evitar la formación de chispas que puedan encender la atmósfera explosiva debe evitarse cualquier contacto de superficies de dispositivos sin aislamiento con

otros que no sean intrínsecamente seguras [2]. En el trabajo presentado en [3] se indica que los efectos del sobrecalentamiento dispositivos electrónicos a escala macro, cuando se exponen a altas temperaturas más allá de su capacidad umbral, tienden a estallar y a arder, provocando incendios. La manera más factible de ejercer control sobre la energía mínima de activación de un combustible es evitando que llegue a su temperatura de ignición que se categorizaría en rangos [4].

Uno de los factores a considerar en el tema del uso de equipos electrónicos en lugares de riesgo es el ciclo de operación continua y la demanda sostenida al que están

sometidos las maquinarias diariamente. Esto último ha hecho que las organizaciones internacionales que norman los protocolos contra incendios y la seguridad eléctrica, tales como National Fire Protection Association (NFPA), la International Electrotechnical Commission (IEC) y la norma ATEX, generen estándares que mantengan controlados y mitigados los riesgos de una posible ignición o autoignición en ambientes peligrosos. En [5], [6], [7] se presenta información sobre estos ambientes peligrosos, donde regularmente se depositan sustancias volátiles e inflamables como gases, polvos o fibras combustibles (flyings) con riesgo de presentar una autoignición debido a una temperatura elevada en el área. Se observa que existe riesgo cuando se operan maquinarias con dispositivos electrónicos que se sobrecalientan en su superficie producto de su operación continua y que forzosamente deben estar presentes en este entorno peligroso. Esta clasificación y categoría de temperaturas máxima en las superficies de elementos eléctricos en ubicaciones peligrosas están dada por estándares de NFPA, IEC y ATEX, presentados en la Tabla 1. En esta tabla se muestra la correlación existente entre la clasificación por temperatura, la temperatura máxima que puede tener en la superficie cualquier elemento eléctrico o electrónico en el área clasificada y la temperatura de ignición del agente combustible (usualmente la temperatura de autoignición de gas o vapor de mezcla) que tenga posibilidad de existir en el área clasificada.

Para que en la práctica se apliquen los estándares y protocolos desarrollados, es necesario un modelo de algoritmo general que sea dinámico y que se ajuste a cada uno de los escenarios térmicos del entorno clasificado, es

decir, las variaciones en la parametrización de los límites máximos de temperatura de superficie del elemento.

TABLA 1.
Clasificación de temperatura para elementos en atmósferas explosivas, según NFPA, IEC y ATEX [5], [6], [7].

Clasificación	Temperatura máxima en la superficie del elemento eléctrico	Temperatura T de ignición del producto en el área clasificada
T1	450 °C	T > 450 °C
T2	300 °C	450 °C > T > 300 °C
T3	200 °C	300 °C > T > 200 °C
T4	135 °C	200 °C > T > 135 °C
T5	100 °C	135 °C > T > 100 °C
T6	85 °C	100 °C > T > 85 °C

Actualmente, el estudio del comportamiento de dispositivos electrónicos para desarrollar modelos matemáticos es un tema de gran importancia en el campo de la ingeniería. Los autores en [8] presentan un estudio térmico realizado a la tecnología de transistores MOSFET mediante MATLAB, donde la importancia de un análisis térmico adecuado para diseñar un circuito electrónico altamente confiable y optimizado para aplicaciones de alta temperatura. En [9], los autores diseñan y estudian el comportamiento del transistor bipolar no lineal para analizar su consumo energético y su temperatura de funcionamiento máxima permitida de los circuitos de potencia. En [10], se propone un análisis teórico y numérico detallado de transistores bipolares de un solo dedo y de dos dedos, que incluye efectos tanto de autocalentamiento como de ionización por impacto. Además, se presenta un análisis detallado de los límites para la operación segura del dispositivo. Los autores de

[11] proponen un modelo matemático para representar con precisión una fuente de calor generado eléctricamente y conducido térmicamente a través de un elemento. En [4], se utiliza una aproximación polinomial numérica para estudiar los transistores de unión bipolar (BJT) y los transistores de efecto de campo (FET) con el objetivo de determinar si estos son seguros o inseguros cuando trabajan en atmósferas explosivas. En este estudio se recolectaron mediciones experimentalmente

para cinco transistores (dos BJT npn, un BJT pnp, un MOSFET n y un MOSFET p). De los datos recolectados, se realizó una regresión polinomial para obtener la aproximación matemática o modelos funcionales del comportamiento térmico de las tecnologías de cada transistor [12].

Otro tema muy importante en el campo de ingeniería electrónica es el uso de métodos de optimización para el modelado y diseño de dispositivos como se muestran en [13], [14], [15], [16], [17]. El trabajo presentado en [18] utiliza un algoritmo de optimización como herramienta para diseñar circuitos analógicos y cumplir con ciertas especificaciones dadas. Específicamente, los autores utilizaron una versión modificada del algoritmo Ant Colony Optimization (ACO) para optimizar los tamaños de los transistores para tres circuitos analógicos. Este procedimiento es realizado también utilizando un Algoritmo Genético (AG). Los resultados de ambos fueron comparados, demostrando que el algoritmo propuesto presenta un mejor rendimiento al momento de encontrar el tamaño óptimo de los transistores. En [19], se implementan técnicas de optimización en el diseño de transistores nanosheets para aplicaciones de radiofrecuencias (RF). En este trabajo, se propuso un diseño novedoso que utiliza múltiples subestaciones en lugar de múltiples pilas, lo cual proporciona un mejor rendimiento de RF en términos de frecuencia de corte según los resultados obtenidos. En el trabajo presentado en [20], se utilizan herramientas de optimización en el diseño de celdas para reducir los efectos de la variabilidad del proceso, la tensión de alimentación y la temperatura en el rendimiento. Específicamente, el problema de optimización encuentra el tamaño óptimo de los transistores individuales en la celda para maximizar el rendimiento estadístico en relación con la potencia de fuga y los límites de retardo de propagación. Los resultados muestran una mejora en el rendimiento de un 50%. Otro trabajo interesante sobre el uso de optimización en el diseño de transistores fue presentado en [21]. El dimensionamiento óptimo de transistores para celdas digitales fue obtenido utilizando los algoritmos Simulated Annealing y Artificial Bee Colony. El objetivo fue minimizar la potencia de fuga manteniendo los otros parámetros de rendimiento, como los retrasos de propagación y el área en el límite. Los resultados fueron comparados con los resultados nominales de varios circuitos digitales CMOS a nanoescala, donde se observó una reducción general de la potencia de fuga lograda en las celdas lógicas de hasta un 70% sin ninguna penalización en el retardo de la ruta crítica.

Los métodos de optimización no solo son aplicados en el diseño de estos dispositivos electrónicos, sino también en sus procesos de operación para mantener ciertos parámetros dentro de límites deseados. Los autores en [22] presentan un estudio que busca reducir la energía en las plataformas CMOS, considerando una integración adecuada de procesos y dispositivos de proceso, modificando cuidadosamente el diseño de circuitos. Para ello, se propone un problema de optimización de diseño con detección de fugas que consideran la configuración del transistor, los factores de estrés, la rugosidad del borde de la línea y otros

factores. En el trabajo presentado en [23], se considera el uso de optimización para reducir los efectos de autocalentamiento en estructuras de transistores de efecto de campo de semiconductores de óxido metálico de escala nanométrica. Los autores en [24] realizan un estudio para minimizar el autocalentamiento y la disipación de calor en transistores. Se presenta una relación entre la potencia disipada y la movilidad eléctrica y otra relación entre la reducción de corriente inducida por el autocalentamiento y la conductividad térmica del fonón. Los resultados logran identificar componentes con mejores propiedades electrotérmicas, demuestran que la potencia disipada dentro del canal semiconductor disminuye a medida que aumenta la movilidad limitada por el fonón y descubren que los efectos de calentamiento disminuyen a medida que aumenta la conductividad térmica de la red. En [25], se estudia los efectos de autocalentamiento en transistores FinFET y sus impactos en el rendimiento del circuito. Se analiza el rendimiento analógico al calcular la frecuencia de corte y la frecuencia máxima de oscilación. Se propone maximizar ambas frecuencias al optimizar el espesor de la capa de óxido enterrado con respecto a las propiedades eléctricas y térmicas. Este resultado es de gran ventaja al momento de diseñar dispositivos de una plataforma de sistema en un chip (SoC) basada en FinFET que requieran un mejor rendimiento analógico.

Con base en los trabajos mencionados, podemos pensar que el campo de ingeniería se enfoca principalmente en reducir problemas indeseados mediante el uso de técnicas de optimización para el diseño de transistores en lugar de controlar adecuadamente parámetros de operación como voltaje, corriente, tiempo de uso, entre otros. Por ello, este trabajo propone una continuación al estudio presentado en [4], donde se aplican herramientas de optimización al modelo matemático con el objetivo de encontrar un balance óptimo entre la temperatura y la corriente para alcanzar

un punto de operación seguro en los transistores en escenarios de riesgo. Específicamente, se aplica optimización convexa no lineal a la caracterización del comportamiento térmico de BJTs y MOSFETs en ubicaciones peligrosas presentada en [4], utilizando una variable de decisión que representa la corriente en el transistor y una constante de control que representa el límite de temperatura de la superficie de los elementos eléctricos para evitar una autoignición de gases, polvos o fibras combustibles [13] u otros productos altamente inflamables almacenados en recintos catalogados como peligrosos por la NFPA, IEC y ATEX. Con este modelo matemático basado en optimización se busca controlar la corriente de los transistores para minimizar la temperatura superficial en estos dispositivos, y así garantizar un punto de operación adecuado para el funcionamiento de las maquinarias y evitar accidentes a causa de explosiones. En el análisis matemático se aplica el método de Karush Kuhn Tucker (KKT) para obtener la solución óptima del problema propuesto. Además, este trabajo permite medir los elementos térmicos críticos a nivel eléctrico que pueden representar un riesgo potencial para la instalación y evitar que se complete el triángulo de fuego [26].

El resto de este artículo está organizado de la siguiente manera. La sección 2 presenta la metodología, donde se describe la formulación matemática y se presenta la solución óptima para cada caso considerado. La sección 3 discute los resultados obtenidos. Finalmente, la sección 4 presenta las conclusiones y futuros trabajos.

2. INTRODUCCIÓN

2.1. Formulación y análisis matemático del problema

Como fue mencionado anteriormente, el estudio que se presenta en este trabajo se basa en el modelo matemático propuesto en [4]. En dicho trabajo, se utiliza una aproximación polinomial numérica para estudiar los transistores de unión bipolar (BJT) y los transistores de efecto de campo (FET) en atmósferas explosivas. Utilizando el análisis de regresión polinomial a partir de los resultados experimentales

encontrados, se encuentran los modelos básicos de la caracterización térmica de estos dispositivos. Se obtuvieron las siguientes expresiones matemáticas para cada tecnología de transistor:

En el caso de los BJT pnp, la aproximación sería un modelo cuadrático de la forma:

$$T_C = k_2 I_C^2 + k_1 I_C + k_0 \quad (1)$$

En el caso de los BJT npn, la aproximación más cercana se obtiene utilizando un modelo cúbico de la forma:

$$T_C = k_3 I_C^3 + k_2 I_C^2 + k_1 I_C + k_0 \quad (2)$$

En el caso de los MOSFET, ya sean estos canales p o canal n, la aproximación sería con un modelo lineal de la forma:

$$T_C = k_1 I_D + k_0 \quad (3)$$

En este estudio el objetivo es desarrollar un algoritmo basado en optimización que permita determinar el valor óptimo de corriente para minimizar las temperaturas T_C en la carcasa de los transistores BJT pnp, BJT npn y

MOSFET p/n, y así evitar posibles situaciones peligrosas en lugares con riesgo de explosión. Para este problema de optimización, la función objetivo está dada por las ecuaciones (1), (2) y (3), las cuales representan la temperatura de la carcasa T_C para cada tipo de transistor

considerado. A estas ecuaciones se resta un parámetro de

control L que describe el límite de temperatura máximo que puede alcanzar un dispositivo en un recinto catalogado como atmósfera explosiva de acuerdo con el estándar de la NFPA, IEC y ATEX, usando los niveles térmicos descritos en la Tabla 1. La diferencia entre la temperatura de la carcasa de los transistores y el parámetro es un indicador que permite evaluar si el punto de operación del dispositivo es seguro. Si al restar la variable de control de las ecuaciones de temperatura de carcasas se obtiene un valor negativo, esto indica que se está por debajo del límite máximo permitido por la clasificación estandarizada, entonces cumple para la condición de operar en ese recinto a la temperatura óptima resultante. Si, por el contrario, al restar la variable de control L , se obtiene un valor positivo, esto indica que se está por encima del valor máximo permitido por la clasificación estandarizada, por consiguiente, no cumple para la condición de operar en ese recinto a la temperatura óptima resultante. Además, permite evaluar la relación entre la temperatura y las variables de control. Las variables de control en este problema están dadas por la corriente de colector I_C (para transistores BJT pnp y BJT npn) y la corriente de drenaje I_p (para transistores MOSFET), las cuales son controladas en cada problema para cumplir con la temperatura de la carcasa y las restricciones del sistema. Las corrientes I_C e I_p están limitadas en función de los valores máximos y mínimos donde la carga operaría. Este rango de operación está definido por las ecuaciones de desigualdad que se

obtienen tomando como referencia el valor nominal de corriente I_{nominal} del transistor como punto máximo de operación y el valor mínimo de corriente I_{min} de operación que es el valor mínimo de corriente que suministra el transistor para el cual la carga empieza a funcionar, donde conmuta de "OFF" a "ON". Por tanto, las corrientes deben tomar valores entre el valor de corriente mínimo para el cual la carga empieza a funcionar y el valor nominal de operación del transistor dado por el fabricante. La formulación del problema de optimización para minimizar la temperatura superficial para los transistores considerados en este estudio se presenta a continuación. Además, se presenta el análisis matemático de los problemas de optimización para

los transistores BJT pnp, BJT npn y MOSFET. Se presenta la solución general de la optimización convexa por método KKT para cada una de las tres aproximaciones matemáticas descritas anteriormente en [4].

1) Problema de optimización para transistor BJT BC369

- tipo pnp

$$\begin{aligned} & \text{Minimizar } k_2 I_C^2 + k_1 I_C + k_0 - L \\ & I_C \\ & \text{sujeto a} \\ & I_{\min} \leq I_C \leq I_{\text{nominal}} \\ & I_{\min} > 0 \text{ y } I_{\text{nominal}} > 0 \text{ según información del} \\ & \text{fabricante.} \end{aligned}$$

Resolviendo mediante el método KKT, se obtiene la solución para el problema de optimización con transistor BJT BC369 - tipo pnp está dada por:

$$I_C^* = \begin{cases} -\frac{k_1}{2k_2} & \text{cuando } I_{\min} < -\frac{k_1}{2k_2} < I_{\text{nominal}} \\ I_{\text{nominal}} & \text{cuando } I_{\min} = -\frac{k_1}{2k_2} \text{ y } -\frac{k_1}{2k_2} < I_{\text{nominal}} \\ I_{\min} & \text{cuando } I_{\min} < -\frac{k_1}{2k_2} \text{ y } I_{\text{nominal}} = -\frac{k_1}{2k_2} \end{cases}$$

Estas soluciones son válidas solo si a) > 0 , < 0 o b) < 0 , > 0 para garantizar que las corrientes sean positivas.

2) Problema de optimización para transistor BJT BC369 - tipo npn

$$\begin{aligned} & \text{Minimizar } k_3 I_C^3 + k_2 I_C^2 + k_1 I_C + k_0 - L \\ & I_C \end{aligned}$$

sujeto a

$$I_{\min} \leq I_C \leq I_{\text{nominal}}$$

$I_{\min} > 0$ y $I_{\text{nominal}} > 0$ según información del fabricante.

Resolviendo mediante el método KKT, se obtiene la solución para el problema de optimización con transistor BJT npn - tipo P2N2222A está dada por:

$$I_C^* = \begin{cases} \frac{-k_2 + \sqrt{k_2^2 - 3k_1k_3}}{3k_3} & \text{cuando Condición 1} \\ I_{nominal} & \text{cuando Condición 2} \\ I_{min} & \text{cuando Condición 3} \end{cases}$$

Condición 1

$$I_{min} < \frac{-k_2 + \sqrt{k_2^2 - 3k_1k_3}}{3k_3} < I_{nominal}$$

Condición 2

$$I_{min} = \frac{-k_2 + \sqrt{k_2^2 - 3k_1k_3}}{3k_3} < I_{nominal}$$

Condición 3

$$I_{min} < \frac{-k_2 + \sqrt{k_2^2 - 3k_1k_3}}{3k_3} = I_{nominal}$$

Estas soluciones son válidas solo si $(K_1 < 0, K_2 \geq 3K_1K_3, K_3 > 0)$ o $(K_1 > 0, K_2 \geq 3K_1K_3, < 0)$ para garantizar que las corrientes sean positivas.

3) Problema de optimización para transistor MOSFET canal n - tipo IRF530N

$$\begin{aligned} & \text{Minimizar } k_2 I_C^2 + k_1 I_C + k_0 - L \\ & I_C \\ & \text{sujeto a} \\ & I_{min} \leq I_C \leq I_{nominal} \\ & I_{min} > 0 \text{ y } I_{nominal} > 0 \text{ según información del} \\ & \text{fabricante.} \end{aligned}$$

Resolviendo mediante el método KKT, se obtiene la solución para el problema de optimización con transistor MOSFET canal n - tipo IRF530N está dada por:

$$I_C^* = \begin{cases} I_{nominal} & I_D^* > I_{min} \text{ y } k_1 < 0 \\ I_{min} & I_D^* < I_{nominal} \text{ y } k_1 > 0 \end{cases}$$

Al reemplazar el punto óptimo de corriente I_C en la función objetivo se obtendrá el correspondiente valor de temperatura. Este valor de temperatura obtenido se compara con la clasificación del nivel de riesgo térmico de acuerdo con la atmósfera explosiva para el cual se está dimensionando que opere el circuito, es decir, se compara con la temperatura máxima permitida en la superficie del elemento dentro del recinto.

2.2. Algoritmo propuesto para resolver el problema de optimización de minimización de temperatura superficial en transistores BJT y MOSFET

A continuación, se presenta el pseudocódigo que describe el proceso para encontrar la solución óptima al problema de optimización de minimización de temperatura superficial en los diferentes transistores considerados.

1. Primero se inicializan las variables e introducen todos los datos en el sistema. Esto incluye los valores de I_{min} , $I_{nominal}$, L los parámetros K_0 , K_1 , K_2 , K_3 y cualquier información relevante por parte del fabricante.

2. La herramienta luego verifica el tipo de transistor considerado para analizar: BJT pnp, BJT npn y MOSFET. Esta puede ser una información introducida por el usuario en el paso anterior. 3. Si el transistor es BJT pnp, verifica si se cumplen una de las condiciones de factibilidad a) $k_1 > 0$, $k_2 < 0$ o b) $k_1 < 0$, $k_2 > 0$. Si es el caso, entonces asigna una de las siguientes soluciones dependiendo el escenario en el sistema

$$I_C^* = \begin{cases} -\frac{k_1}{2k_2} & I_{min} < -\frac{k_1}{2k_2} < I_{nominal} \\ I_{nominal} & I_{min} = -\frac{k_1}{2k_2} \text{ y } -\frac{k_1}{2k_2} < I_{nominal} \\ I_{min} & I_{min} < -\frac{k_1}{2k_2} \text{ y } I_{nominal} = -\frac{k_1}{2k_2} \end{cases}$$

Si el transistor es BJT npn, verifica si se cumplen una de las condiciones de factibilidad a) $k_1 < 0$, $k_2 \geq \sqrt{3k_1k_3}$, $k_3 > 0$ o b) $k_1 > 0$, $k_2 \geq \sqrt{3k_1k_3}$, $k_3 < 0$. Si es el caso, entonces asigna una de las siguientes soluciones dependiendo el escenario en el sistema

TABLA 2.
Constantes K_0 , K_1 , K_2 , K_3 y rangos de corrientes I_C , I_D [4].

Constantes	BJT npn – BC548	BJT pnp – BC369	BJT npn – P2N2222A	MOSFET n – IRF530N	MOSFET p – IRF9530
$K_3 \left(\frac{^{\circ}C}{mA^3}\right)$	-19.83×10^{-3}	–	-8.425×10^{-6}	–	–
$K_2 \left(\frac{^{\circ}C}{mA^2}\right)$	9.792×10^{-3}	-2.369×10^{-3}	8.051×10^{-3}	–	–
$K_1 \left(\frac{^{\circ}C}{mA}\right)$	-0.5006	1.6257	-1.4471	27.895×10^{-3}	80.214×10^{-3}
$K_0 (^{\circ}C)$	22.67	23.05	91.91	24.17	23.29
$I_C \text{ o } I_D (mA)$	75 – 330	1 – 420	150 – 470	30 – 330	22 – 256

$$I_C^* = \begin{cases} \frac{-k_2 + \sqrt{k_2^2 - 3k_1k_3}}{3k_3} & \text{Condición 1} \\ I_{nominal} & \text{Condición 2} \\ I_{min} & \text{Condición 3} \end{cases}$$

Condición 1

$$I_{min} < \frac{-k_2 + \sqrt{k_2^2 - 3k_1k_3}}{3k_3} < I_{nominal}$$

Condición 2

$$I_{min} = \frac{-k_2 + \sqrt{k_2^2 - 3k_1k_3}}{3k_3} < I_{nominal}$$

Condición 3

$$I_{min} < \frac{-k_2 + \sqrt{k_2^2 - 3k_1k_3}}{3k_3} = I_{nominal}$$

Si el transistor es MOSFET, entonces asigna una de las siguientes soluciones dependiendo el escenario en el sistema

$$I_C^* = \begin{cases} I_{nominal} & I_D^* > I_{min} \text{ y } k_1 < 0 \\ I_{min} & I_D^* < I_{nominal} \text{ y } k_1 > 0 \end{cases}$$

Si las condiciones de factibilidad no se cumplen, entonces el algoritmo notifica al usuario que no puede brindar una solución válida.

4. El valor de temperatura es evaluado utilizando la corriente óptima obtenida y se compara este con la clasificación del nivel de riesgo térmico de acuerdo con la atmósfera explosiva para el cual se está dimensionando que opere el circuito. Si no cumple con los estándares, el usuario es notificado para evitar que la maquinaria sea utilizada. El algoritmo se mantiene en reposo hasta que nuevos datos sean introducidos para repetir nuevamente todo el proceso.

Este algoritmo permite encontrar de manera rápida y eficiente el valor óptimo de la corriente para minimizar la temperatura de superficie en transistores BJT y MOSFET. Se puede observar que este algoritmo este compuesto por instrucciones sencillas que pueden ser configuradas fácilmente en dispositivos con poco recurso computacional como Arduino, Raspberry Pi, equipos de National Instruments NI, entre otros. Esta independencia de equipos especializados para resolver el problema de optimización permite localizar este dispositivo en lugares remotos que presenten riesgo de explosión.

3. Simulaciones y resultados

En esta sección se presentan los resultados obtenidos en el análisis matemático y la implementación del algoritmo propuesto en este trabajo. Estos resultados se compararon con datos teóricos y experimentales presentados el trabajo [4], mostrando la contribución del desarrollo de la herramienta tecnológica. Los transistores BJT y MOSFET fueron configurados en los análisis teóricos, experimentales y simulaciones utilizando los datos presentados en la Tabla 2.

El algoritmo fue implementado utilizando el programa MATLAB de Mathworks, específicamente mediante las herramientas CVX [30], [31]. Además, se utiliza el software Microsoft Excel para el procesamiento y visualización de los datos obtenidos previamente en [4].

A continuación, se muestran los valores de temperatura superficial en transistores BJT y MOSFET utilizando el enfoque teórico con ecuaciones de aproximación, el enfoque experimental desarrollado en laboratorio y el enfoque de optimización mediante el algoritmo propuesto.

TABLA 3.
Valores de referencia del fabricante para el BJT-PNP BC369 [32], BJT-NPN P2N2222A [33] Y MOSFET – CANAL N IRF530N [34].

Parámetros	Descripción	Valor del BJT - PNP BC369	Valor del BJT - NPN P2N2222A	Valor del MOSFET - CANAL N IRF530N
Tj, Tc	Rango de temperaturas de la unión y carcasa	55 °C < Tj, Tc < 150 °C	- 55 °C < Tj , Tc < 150 °C	55 °C < Tj, Tc < 150 °C
Ic	Corriente del colector	500 mA	600 mA	-
ID (max)	Corriente de drenaje ID máxima a Tc = 25 °C y VGS = 10V	-	-	500 mA
VCE (SAT)	Voltaje colector-emisor de saturación	0.25 V < VCE < 0.6 V	0.3 V < VCE < 1.0 V	-
VBE (ON)	Voltaje base-emisor máximo	0.70 V < VBE < 0.77 V	1.2 V < VBE < 2.0 V	-
VDSS	Voltaje máxima drenaje-fuente con compuerta y fuente en corto	-	-	0.25 V < VCE < 0.6 V
VGS (max)	Voltaje compuerta-fuente VGS máximo	-	-	0.70 V < VBE < 0.77 V
PD	Disipación total del dispositivo a temperatura ambiente de 25°C	625 mW	625 mW	625 mW
β	Ganancia de corriente DC	110	100	-
VGSth	Voltaje umbral	-	-	110
TO - 92	Tipo de encapsulado	-	-	-

3.1. Transistor BJT pnp, tipo BC369

En la Figura 1, se ilustran los niveles de temperatura superficial obtenidos en los enfoques teórico, experimental y basado en optimización para un transistor BJT pnp tipo BC369 con polarización fija. Para este caso, se consideró el escenario donde se requiere un punto de operación seguro en una atmósfera explosiva para una

clasificación T1, donde TC debe ser menor a 450 °C (ver Tabla 1). Se observa que los tres resultados convergen y presentan un comportamiento no lineal similar, lo cual puede considerarse como un patrón efectivo cuasi-

homogéneo dentro de su característica no lineal. Al realizar el cálculo en el módulo Optimization Tool de MATLAB, se obtiene exactamente el mismo valor mínimo de temperatura superficial que se calculó matemáticamente a través de las expresiones obtenidas mediante el método de KKT, el cual fue de TC =

132.919°C para una corriente de colector IC = 76 mA. Los valores de TC e IC encontrados en MATLAB son considerados válidos porque cumple con las

características del transistor BJT pnp tipo BC369 en la Tabla 3. Por otro lado, el algoritmo solo muestra el menor de los valores logrados en las iteraciones dentro de las restricciones especificadas. A partir de los valores teóricos y experimentales, se puede observar otros posibles valores de TC e IC que cumplen con los límites de corriente de colector dictados por el fabricante del

dispositivo y se encuentra dentro de la clasificación T1, sin embargo, estos no cumplen con los límites térmicos nominales tolerados por el transistor TC < 150°C y que es especificado por el fabricante. Si se toma el valor más

bajo obtenido para el funcionamiento del transistor, el mismo estará optimizando en el punto de operación en donde el rendimiento de la corriente que alimenta la carga se ajusta a las condiciones térmicas dictadas por el fabricante y por consiguiente el transistor estaría en un punto de operación seguro dada la exposición en una atmósfera explosiva. En este sentido se considera que el punto óptimo más conveniente sería TC = 132.919°C

para IC = 76 mA.

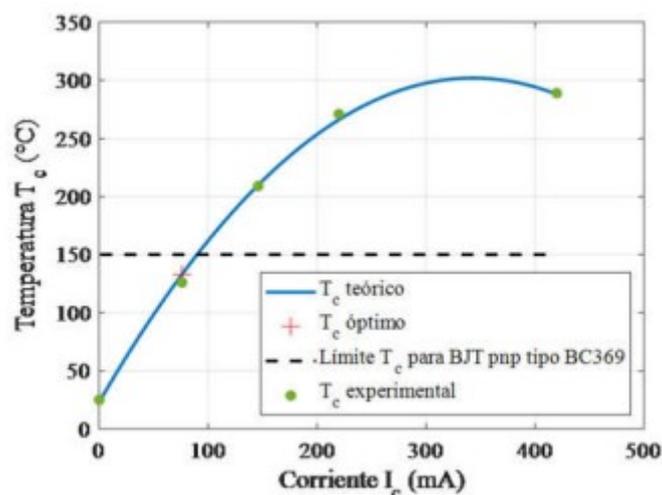


FIGURA 1.

Comportamiento térmico del transistor BJT pnp tipo BC369.

Propia obtenida en MATLAB.

3.2. Transistor BJT npn, tipo P2N2222A

En la Figura 2, se presentan los resultados de los análisis teóricos, experimentales y basado en optimización de la temperatura superficial en un transistor BJT npn tipo P2N2222A con polarización fija. Se considera un entorno con atmósfera explosiva para la clasificación T1, la cual fue detallada en la Tabla 1. En comparación con los resultados anteriores, se puede observar que los resultados no convergen exactamente en todos sus puntos y mantienen su comportamiento no lineal. Al realizar el cálculo en el módulo Optimization Tool de

MATLAB, se obtiene exactamente el mismo valor mínimo de temperatura superficial que se obtuvo a través de las expresiones matemáticas en nuestro análisis con el método KKT, el cual fue de $T_C = 91.87^\circ\text{C}$ para una corriente de colector $I_C = 240\text{mA}$. Esta es una solución óptima válida a nuestro problema, puesto que ambas variables cumplen con las restricciones del fabricante para un transistor BJT npn tipo P2N2222A (ver Tabla 3). Similar al caso anterior, se pueden

observar otras posibles soluciones que cumplen con los límites de corriente de colector dictados por el fabricante del dispositivo y se encuentra dentro de la clasificación T1, sin embargo, estos no cumplen con los límites térmicos nominales tolerados por el transistor $T_C < 150^\circ\text{C}$ y que es especificado por el fabricante. Por ello, la solución óptima para el escenario con un

transistor BJT npn tipo P2N2222A es de $T_C = 91.87^\circ\text{C}$ para $I_C = 240\text{mA}$, los cuales son los valores más bajos obtenidos para el funcionamiento del bajo las condiciones térmicas dictadas por el fabricante y el punto de operación seguro dada la exposición en una atmósfera explosiva.

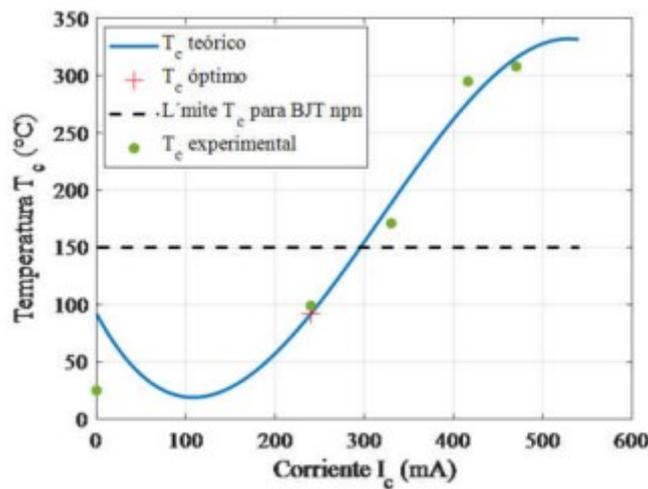


FIGURA 2.
Comportamiento térmico del transistor BJT npn tipo P2N2222A.
Propia obtenida en MATLAB.

3.3. Transistor MOSFET canal N, tipo IRF530N

En la Figura 3 se muestran los comportamientos térmicos teóricos, experimentales y basados en optimización en un transistor MOSFET canal N tipo IRF530N en un esquema de polarización fija en un entorno con atmósfera explosiva dentro de la clasificación T1 (ver Tabla 1). Como se puede observar en la figura, los tres enfoques presentan un comportamiento térmico lineal. Al realizar el cálculo en el módulo Optimization Tool de MATLAB, se obtiene exactamente el mismo valor mínimo de temperatura superficial que el obtenido a través de las expresiones matemáticas basadas en el método de KKT. Con el transistor MOSFET canal N tipo IRF530N se tiene la particularidad que está muy por debajo del límite máximo permitido L, por consiguiente, es un dispositivo más estable térmicamente que la tecnología BJT. Este resultado se visualiza en la convergencia proporcional del comportamiento presentado en la Figura 3. Por lo tanto, para este escenario cualquier valor de genera una temperatura entre 25°C y 35°C , el cual es un rango sumamente seguro y estable para una clasificación T1. Además, se puede observar que en todo momento el punto de operación se encuentra por debajo de los límites térmicos nominales tolerados por el transistor $T_C < 175^\circ\text{C}$.

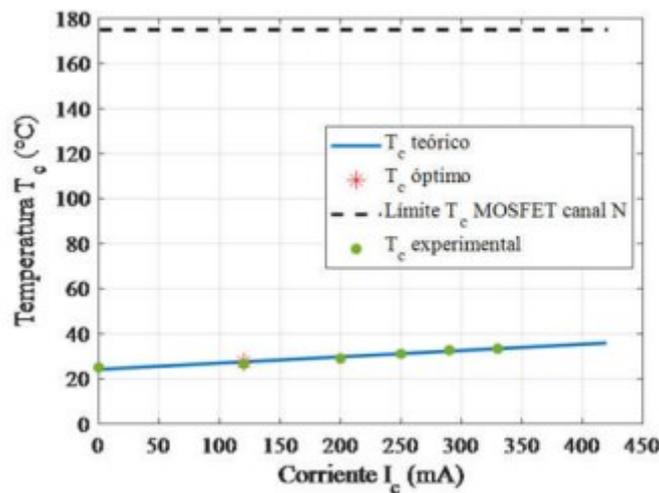


FIGURA 3.
Comportamiento térmico del transistor MOSFET canal N tipo IRF530N.
Propia obtenida en MATLAB.

3.4. Tiempo de computación de la herramienta basada en optimización propuesta

Por último, en la Figura 4 se ilustra el tiempo total requerido por el algoritmo propuesto para obtener la solución óptima del problema de minimización de la temperatura superficial en transistores BJT y MOSFET. Después de 500 ejecuciones, el algoritmo requiere aproximadamente de un tiempo promedio de 0.1767, 0.1984 y 0.1301 segundos para obtener las soluciones de cada escenario con transistores BJT pnp tipo BC369, BJT npn tipo P2N2222A y MOSFET canal N tipo IRF530N, respectivamente. Se puede observar que el algoritmo propuesto no solo reduce la temperatura en la carcasa de los transistores al controlar su corriente, sino que también obtiene esta respuesta de manera rápida y eficiente.

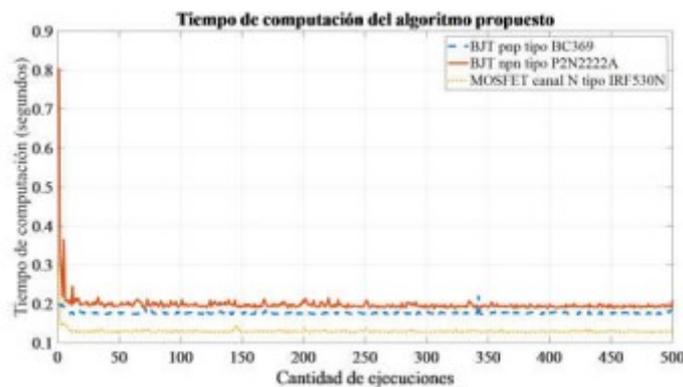


FIGURA 4.
Tiempo de computación para encontrar la solución con la herramienta propuesta.
Propia obtenida en MATLAB.

4. CONCLUSIONES

En los últimos años, los procesos industriales se han visto beneficiados con la incorporación de sistemas de control electrónicos que permiten desarrollar tareas de manera más rápida y precisa. Sin embargo, el uso inadecuado de estos sistemas en lugares con riesgo de explosión puede causar grandes pérdidas materiales y

humanas. Por ello, el presente trabajo busca proporcionar una herramienta tecnológica que permita prevenir estas situaciones en entornos laborales peligrosos. Específicamente, se propone un enfoque novedoso que implementa técnicas de optimización para controlar adecuadamente la corriente en los transistores BJT y MOSFET con el objetivo de minimizar la temperatura superficial en las carcasas y evitar situaciones con peligro de explosión.

Para el desarrollo de esta solución tecnológica, se consideraron los modelos matemáticos para el comportamiento térmico de transistores BJT y MOSFET propuestos en trabajos anteriores. Luego, se aplica técnicas de optimización a los modelos matemáticos con el objetivo de encontrar un balance óptimo entre la temperatura superficial de las carcasas y la corriente en los transistores para alcanzar un punto de operación seguro en escenarios de riesgo. Específicamente, se formula un problema de optimización convexo no lineal para ajustar los niveles de corriente con el objetivo de minimizar la temperatura de la carcasa de los transistores BJT y MOSFET, mientras se consideran restricciones de operación del fabricante y los rangos de operación seguros dados por los estándares internacionales encargados de regular la seguridad contra incendios como los son NFPA, IEC y ATEX. Este estudio permite esquematizar un enfoque integral, contemplando en su análisis de optimización un parámetro de control que representa la temperatura máxima permitida que pueden alcanzar las superficies de los elementos que coexisten en un entorno catalogado de alto riesgo de explosión. Esto permite determinar de inmediato la factibilidad o no de un punto de operación para el dispositivo electrónico. Finalmente, se utiliza el método Karush Kuhn Tucker (KKT) para realizar el análisis matemático y obtener soluciones óptimas que permiten proponer un algoritmo para resolver el problema de optimización de minimización de temperatura superficial en transistores BJT y MOSFET de manera rápida y sencilla.

Con el objetivo de validar los resultados obtenidos del desarrollo matemático, se procedió a realizar simulaciones en el software MATLAB con las herramientas Optimizarion Toolbox y CVX. Esto permitió graficar el comportamiento de los modelos térmicos para los enfoques teóricos, experimentales y basados en optimización, donde se comprueba la convergencia de los resultados al punto de operación óptimo con respecto a la función objetivo estudiada. Los resultados obtenidos en las simulaciones demuestran que el algoritmo propuesto no solo obtiene el valor óptimo de corriente que minimiza la temperatura superficial en la carcasa de los transistores de manera precisa, sino que además cuenta con la capacidad de descartar otras posibles soluciones que cumplen con los límites de corriente de colector dictados por el fabricante del dispositivo y se encuentra dentro de la clasificación considerada, pero no cumplen con los límites térmicos nominales tolerados por el transistor y que es especificado por el fabricante. Por otro lado, también se pudo determinar la eficiencia del algoritmo propuesto al analizar el tiempo de computación requerido para encontrar la solución óptima del problema de optimización, donde se observó que después de 500 ejecuciones el algoritmo utilizó un tiempo promedio de 0.1767, 0.1984 y 0.1301 segundos para los escenarios con transistores BJT pnp tipo BC369, BJT npn tipo P2N2222A y MOSFET canal N tipo IRF530N, respectivamente.

Esta investigación ofrece una herramienta científica preventiva a la industria contra incendios al optimizar el comportamiento térmico de las dos tecnologías de transistores más utilizadas en la manufactura de equipos eléctricos y electrónicos, al brindar un balance entre el rendimiento del sistema y la seguridad, evitando una potencial autoignición en entornos con peligro de explosión.

CONFLICTO DE INTERESES

Los autores declaran no tener algún conflicto de interés.

CONTRIBUCIÓN Y APROBACIÓN DE LOS AUTORES

Conceptualización, E.C., J.D. y N.B.; metodología, J.D., D.C. y Y.S.; validación, J.D., E.C. y Y.S.; análisis formal, E.C. y Y.S.; investigación, E.C., D.C. y Y.S.; curación de datos, N.B. y Y.S.; redacción: preparación del borrador original, E.C., J.D. y N.B.; redacción—revisión y edición, E.C., D.C. y Y.S.; supervisión, E.C.; administración de proyectos, E.C. y D.C.

Todos los autores afirmamos que se leyó y aprobó la versión final de este artículo.

AGRADECIMIENTOS

Los autores E. Collado, Y. Sáez y D. Cárdenas agradecen el apoyo del Sistema Nacional de Investigación (SNI) de Panamá el apoyo para la publicación de este manuscrito. Además, el grupo de trabajo agradece a la Universidad Tecnológica de Panamá y el Centro de Estudios Multidisciplinarios en Ciencias, Ingeniería y Tecnología-AIP (CEMCIT-AIP) pro el apoyo durante el desarrollo de esta investigación.

REFERENCIAS

- [1] R. Tommasini, E. Pons, and F. Palamara, Area classification for explosive atmospheres: Comparison between European and North American approaches, In Industry Applications Society 60th Annual Petroleum and Chemical Industry Conference, IEEE, pp. 1-7, 2013.
- [2] T. Jespen, ATEX—Explosive Atmospheres. Springer Series in Reliability Engineering, 2016.
- [3] P.M. Kirad and T. Sharma, Degradation of Electronic Devices Overtime, International Journal of Research Publication and Reviews, (2021), Vol. 2, (4), 384-387. URL: <https://www.ijrpr.com/uploads/V2ISSUE4/IJRPR391.pdf>.
- [4] D. Cardenas and J. Delgado, Thermal behavior characterization for MOSFETs and BJTs in hazardous locations, Revista Internacional de Métodos Numéricos para Cálculo y Diseño en Ingeniería, (2021). Vol. 37, (2), 20. URL: https://www.scipedia.com/public/Cardenas_Delgado_2021a.
- [5] V.M Păsculescu., N.I Vlasin., M.C. Şuvar, and C. Lupu, Decision support system for managin electrical equipment used in hazardous locations, Environmental Engineering and Management Journal, (2017), Vol. 16, (6), 1323-1330.
- [6] NFPA. National Electrical Code - NFPA 70, Ed. 2020, NFPA, Massachusetts, 2020.
- [7] IEC. IEC 60079:2018 SER - Explosive Atmosphere Standards, IEC, Ginebra, 2018.
- [8] J. Jitty, R. Ajith, and N. K. Keerthi, Study of Temperature Dependency on MOSFET Parameter using MATLAB, International Research Journal of Engineering and Technology, (2016), Vol. 3, (7), 1530-1533.
- [9] M. W. Hussein, Evaluation and Analysis of Nonlinear Bipolar Transistor Performance under High Temperature Using MATLAB, Dijlah Journal, (2019), Vol. 2, (1), 59-70.
- [10] N. Rinaldi, V. D'Alessandro, Theory of electrothermal behavior of bipolar transistors: Part III— Impact ionization, IEEE Transactions on Electron Devices, (2006), Vol. 53, (7), 1683- 1697.
- [11] D. Cárdenas, Modelado de fuentes generadoras de incendios eléctricos por termoconducción, Tesis doctoral, UPC, Departament de Projectes d'Enginyeria, 2011. Disponible en: <http://hdl.handle.net/2117/94755>.
- [12] S. Chapra, R. Canale, Métodos Numéricos para Ingenieros, 5 Ed., Mc Graw-Hill:. México, 2007.
- [13] S. S. Sapatnekar, V. B. Rao, P. M. Vaidya, S. Kang, Exact solution of the transistor sizing problem for CMOS circuits using convex optimization, IEEE transactions on Computer-Aided Design of Integrated Circuits and Systems, (1993), Vol. 12, 1621-1634.
- [14] A. N. Korotkov, M. R. Samuelsen, S. A. Vasenco, Effects of overheating in a single-electron transistor, Journal of Applied Physics, (1994), Vol. 76, (6), 3623-3631.

- [15] J. Shyu, J. P. Fishburn, A. E. Dunlop, A. L. Sangiovanni- Vicentelli, Optimization-based transistor sizing, *IEEE Journal of Solid-State Circuit*, (1988), Vol. 23, (2), 400-409.
- [16] P. M. Vaidya, A new algorithm for minimizing convex functions over convex sets, *Mathematical Programming*, (1996), Vol. 73, 291–341.
- [17] J. Borwein, A. Lewis, *Convex Analysis and Nonlinear Optimization: Theory and Examples*, 2 Ed., Springer Science & Business Media, USA, 2000.
- [18] H. Gupta, Analog circuits design using ant colony optimization, *International Journal of Electronics, Computer and Communications Technologies*, (2012), Vol. 2, (3), 9-21.
- [19] P. Kushwaha, A. Dasgupta, M. Y. Kao, H. Agarwal, S. Salahuddin, C. Hu, Design optimization techniques in nanosheet transistor for RF applications, *IEEE Transactions on Electron Devices*, (2020), Vol. 67, (10), 4515-4520.
- [20] Z. Abbas, M. Olivieri, Optimal transistor sizing for maximum yield in variation - aware standard cell design, *International Journal of Circuit Theory and Applications*, (2016), Vol. 44, (7), 1400-1424.
- [21] P. Gupta, H. Mandadapu, S. Gourishetty, Z. Abbas, Robust transistor sizing for improved performances in digital circuits using optimization algorithms, In *20th International Symposium on Quality Electronic Design (ISQED)*, IEEE, 85- 9, Mar. 2019.
- [22] E. N. Shauly, CMOS leakage and power reduction in transistors and circuits: process and layout considerations, *Journal of Low Power Electronics and Applications*, (2012), Vol. 2, (1), 1-29.
- [23] F. Ding, H. Y. Wong, T. J. K. Liu, Design optimization of sub-5 nm node nanosheet field effect transistors to minimize self- heating effects, *Journal of Vacuum Science & Technology B, Nanotechnology and Microelectronics: Materials, Processing, Measurement, and Phenomena*, (2021), Vol. 39, (1), 013201.
- [24] R. Rhyner, M. Luisier, Minimizing self-heating and heat dissipation in ultrascaled nanowire transistors, *Nano letters*, (2016), Vol. 16, (2), 1022-1026.
- [25] T. Takahashi, N. Beppu, K. Chen, S. Oda, K. Uchida, Self- heating effects and analog performance optimization of fin-type field-effect transistors, *Japanese Journal of Applied Physics*, (2013), Vol. 52, (4S), 04CC03.
- [26] R. F. García, Prevención de las explosiones generadas por polvo, *Gestión práctica de riesgos laborales: Integración y desarrollo de la gestión de la prevención*, Vol. 68, pp. 42-51, 2010.
- [27] S. Boyd, L. Vandenberghe, *Convex Optimization*. Cambridge Univ. Press, Cambridge, U.K., 2004.
- [28] H. W. Kuhn, A. W. Tucker, Nonlinear programming, in: J. Neyman (Ed.), *Proceedings of Second Berkeley Symposium on Mathematical Statistics and Probability*, University of California Press, 1951.
- [29] S.L. Birbil, J. B. G. Frenk, G. J. Still, An elementary proof of the Fritz-John and KarushKuhn Tucker conditions in nonlinear programming, *European Journal of Operational Research*, (2007), Vol. 180, (1), 479-484.
- [30] M. Grant, S. Boyd, *CVX: MATLAB software for disciplined convex programming*, 2008.
- [31] W. J. Palm, *Introduction to MATLAB 7 for Engineers*, Vol. 7, McGraw-Hill, New York, USA, 2005.
- [32] ON Semiconductor Corporation. «ON Semiconductor» [Online]. Available: <https://www.onsemi.com/products/discrete-power-modules/general-purpose-and-low-vcesat-transistors/bc368>. Último acceso: 8 agosto 2022.
- [33] ON Semiconductor Corporation. «ON Semiconductor» [Online]. Available: <https://www.onsemi.com/pub/Collateral/P2N2222A-D.PDF>. Último acceso: 10 agosto 2022.
- [34] International Rectifier Corporation an Infineon Technologies Co. <>[Online]. Available: <https://www.infineon.com/cms/en/product/power/mosfet/n-channel/irf530n/>. Último acceso: 11 agosto 2022.